

Solutions Innovantes pour le Packaging Electronique

Livret de la Journée Technique

6 décembre 2022, 9h30 à 16h30, Palaiseau



Le bureau du chapitre IEEE EPS France remercie l'ensemble des présentateurs et des participants de cette journée technique sur le Packaging Electronique.

La conférence a permis de réunir les acteurs français et partager nos innovations et nos besoins pour répondre aux enjeux de demain dans le domaine du packaging.

Bureau

- Jean-Charles Souriau, CEA
- Wilson Maia, Thales
- Cyril Buttay, Ampère
- Bradford Factor, ASE

Programme

	Mot de bienvenue et introduction de la journée	Wilson Maia	Thales
	Technologies innovantes pour le packaging avancé des SiP RF: 3D-RDL & TPV	Ayad Ghannam	3DIS
Interconnexions avancées	Développement d'une solution d'interconnexion électrique de composants silicium étirable et démontable	Auriane Despax-Ferreres	CEA LITEN
	Les procédés d'écriture directe : de nouvelles perspectives de métallisation sélective pour le packaging électronique.	Nicolas Delhote Elodie Pereira	XLIM / CTTC
	Systèmes fluidiques intégrés sur carte assistés par pompage Electro-Hydro-Dynamique (EHD)	David Manteigas Fabien Parrain	MBDA C2N, Université Paris-Saclay, CNRS
Puissance, thermique et énergie	Diffuseur thermique en Graphite pour composant de puissance intégré dans circuit imprimé	Ahmed Ahmed	Mitsubishi
	Contrôle de l'intensité du champ électrique par des matériaux fonctionnalisés	Lionel Laudebat	Laplace
	Matériaux fonctionnalisés pour la récolte d'énergie et pour cartographie des émissions RF	Sidina Wane	EV-Technologies
	Chapitre IEEE EPS France	Jean-Charles Souriau	CEA LETI
	Développement d'un dispositif de sécurité auto-destructible très rapide à base de nanothermites déposées par 3D printing	Florent Sevely	LAAS
Anti-intrusion et Haute-Fiabilité	Caractérisation de la diffusion d'humidité dans les résines d'encapsulation pour l'étude hygromécanique de boîtiers plastiques	Ariane Tomas	IMS
	Anisotropie du comportement mécanique de l'alliage d'étain SAC305 à haute température homologue : caractérisation et modélisation	Alexandre Bleuset	Schlumberger
	Billes multi-matériaux pour l'assemblage de composants électroniques haut gamme	Irati Malkorra Christophe Guérin	LGF Thales AVS
Eco-conception et prochaines étapes	Introduction sur l'éco-conception et les enjeux de l'économie circulaire et de la soutenabilité	Jean-Christophe Crebier	CNRS
	PEPR d'accélération Électronique	Thomas Barton	Femto-ST

Résumés

Technologies innovantes pour le packaging avancé des SiP RF: 3D-RDL & TPV

Ayad Ghannam ayad.ghannam@3dis-tech.com

3dis Technologies, Toulouse

Dans les smartphones 4G actuels, les composants RF sont logés dans un module frontal RF, qui gère l'amplification du signal et filtre le bruit. L'antenne, qui est utilisée pour transmettre et recevoir les signaux radio, est séparée et n'est pas intégrée au module. Le grand changement survient dans les réseaux 5G ou les boîtiers de circuits intégrés et les modules RF sont plus complexes et plus coûteux, d'autant plus avec le passage de la 5G aux fréquences mmWave. Il faut des technologies de packaging pour pouvoir intégrer ces modules RF avec le réseau d'antennes, sur le même boîtier.

Bien que des solutions offrent la possibilité d'intégrer le module RF avec l'antenne, elles souffrent de fortes limitations en taille, en performances (pertes dans les interconnexions et le substrat), et surtout, en montée de fréquence. Il faut donc des transitions RF très faibles pertes entre les puces et l'antenne, une très faible taille ainsi qu'une grande efficacité afin d'économiser l'énergie électrique.

3DiS développe la prochaine génération de boîtiers 3D avancés pour les applications RF, intégrés à l'échelle du wafer (3D-WLP) en utilisant sa technologie 3D-RDL, avec des transitions RF à faible perte et des antennes dans le boîtier (AiP). Sa technologie exclusive de TPV à noyau diélectrique permet d'obtenir des interconnexions verticales hautes, très conformes et à un rapport de forme élevé, et qui sont formées simultanément avec la couche 3D-RDL.

3DiS présentera ses dernières avancées technologiques pour le packaging de systèmes en WLP ainsi que la mise en œuvre de celles-ci, notamment, pour faire du Chip-Package-Board design.

Développement d'une solution d'interconnexion électrique de composants silicium étirable et démontable

Auriane Despax-Ferreres, Julia De Girolamo, Jean-Charles Souriau, Vincent Jousseau

auriane.despax-ferreres@cea.fr

CEA-LETI, CEA-LITEN, Grenoble

Actuellement, les solutions d'interconnexions des composants électroniques avec leur faces actives en regard sur des substrats sont basées sur des brasures métalliques. Les contacts mécaniques sont donc rigides. Toutefois, ces solutions ne conviennent pas pour des dispositifs intégrant des composants silicium ultrafins (<100 µm) hybridés sur des substrats flexibles qui peuvent être amenés à se déformer. C'est le cas par exemple des « patches » médicaux portés sur la personne et sollicités en continu. En effet, les points de contact rigides risquent de céder. Pour répondre à cette problématique, on se propose de développer un film adhésif conducteur anisotrope ultra mince intégré dans un flex étirable, s'inspirant de l'adhésion du gecko. Ce film pourra être placé entre le composant électronique et le substrat. La nature des forces impliquées dans l'adhésion du gecko a été démontrée par Autumn et al. dans les années 2000 (1): il s'agit de forces de van der Waals. Grâce à la microstructuration de ses pattes mettant en jeu environ 1 million de sétules, le gecko peut ainsi développer une grande surface de contact et donc une grande force d'attraction par la démultiplication des interactions de van der Waals. Dans ce travail, cette « adhésion sèche » basée sur le principe du « contact splitting », a été mise en oeuvre dans le but de développer l'adhésion d'une interconnexion souple. Pour cela, nous avons développé un film de polydiméthylsiloxane (PDMS) dont la surface a été structurée par des motifs micrométriques en forme de champignon connue pour être la forme de contact la plus performante (2,3). Dans cette optique, des moules en silicium avec des géométries de champignons variables ont été utilisés pour mettre en forme le PDMS (avec différents diamètres de collerettes et de piliers). Cette approche permet de réaliser de façon reproductible des films microstructurés présentant peu de défauts. Pour rendre ces films localement conducteurs dans l'épaisseur, un composite conducteur est réalisé puis localisé avec un masque de sérigraphie dans les moules. Cette approche a été mise en oeuvre et caractérisée à l'aide de tests électriques dans l'épaisseur des films et de tests mécaniques dans le but de sélectionner les films les plus adaptés pour réaliser une interconnexion souple.

Les procédés d'écriture directe : de nouvelles perspectives de métallisation sélective pour le packaging électronique

Nicolas DELHOTE¹, Elodie PEREIRA², Aurélien PERIGAUD¹, Laurence BOYER², Olivier TANTOT¹, Olivier DURAND²

e.pereira@cttc.fr, nicolas.delhote@xlim.fr

¹ Institut XLIM, Université de Limoges, UMR 7252 CNRS, 123 avenue Albert Thomas, 87060 Limoges Cedex

² Centre de Transfert de Technologies Céramiques (CTTC), Parc ESTER Technopole, 7 rue Soyouz, 87068 Limoges

Les procédés émergents d'écriture directe ont ouvert de nouvelles possibilités pour le packaging électronique. Ces procédés font référence à toute technique permettant de modifier la chimie, déposer ou encore enlever la matière à la surface d'un substrat. Aujourd'hui, elles représentent des outils innovants dans l'arsenal des procédés de métallisation sélective. Les bénéfices de ces procédés, pilotés par CAO, sont prometteurs quant à la réduction des temps de fabrication ainsi que dans la flexibilité des design proposés. Il est ainsi possible d'imaginer des objets de géométrie complexe (2D et 3D) avec des densités d'intégration plus grandes. Cette approche sera notamment possible par l'hybridation de technologies complémentaires.

Ainsi le procédé d'impression jet d'encre (IJP) offre une grande productivité pour une résolution moyenne de 30 μm quand le procédé d'impression par jet d'aérosol (AJP) permet de déposer des lignes d'une résolution maximale de 20 μm . Si les métallisations réalisées par des deux technologies ont des épaisseurs relativement faibles (de l'ordre du μm), la microextrusion pilotée (ou microdispensing) permet de déposer à grande vitesse des cordons de plusieurs dizaines de μm .

Si le procédé d'IJP est éprouvé et industrialisé, le procédé d'AJP ou le microdispensing doivent encore démontrer leur fiabilité et leur reproductibilité.

Dans le cadre d'une collaboration de longue date entre le laboratoire XLIM et le CTTC, ces différents procédés ont été explorés et appliqués pour réaliser des composants hyperfréquences aux performances accrues. Par la suite, leur hybridation a permis de proposer des solutions de packaging hyperfréquence avec l'intégration de composants passifs ou encore une solution de remplacement des opérations de câblage filaire.

Ces différentes étapes permettent d'entrevoir la possibilité de réaliser des objets complexes en 3 dimensions réalisés par fabrication additive associant polymère technique et métallisation sélective

Thermal Management : Systèmes fluidiques intégrés sur carte assistés par pompage Electro-Hydro-Dynamique (EHD)

Agnès Chaillot¹, Fabien Parrain², David Mateigas¹

fabien.parrain@universite-paris-saclay.fr, david.mateigas@mbda-systems.com

¹ MBDA, Plessis-Robinson, ² Université Paris-Saclay

Le refroidissement des systèmes électroniques embarqués au sein de missiles est généralement réalisé par conduction matérielle directe via des matelas thermiques et par un design dédié au niveau du circuit imprimé. Ces éléments sont eux même en contact avec des éléments structuraux du système hôte qui joue alors le rôle de drain thermique. Dans le cas des munitions de dernière génération, du fait de l'élévation des vitesses de vol, l'échauffement aérodynamique est de plus en plus important et la température du milieu dans lequel sont les équipements est de plus en plus élevée. Ainsi, la différence de température est de plus en plus faible entre les composants et les parties structurales qui permettent l'évacuation de la chaleur (de l'ordre de seulement 10°C). Ceci implique que le refroidissement des circuits intégrés est une problématique de plus en plus importante qui induit la nécessité de disposer de dispositifs de refroidissement présentant des conductivités thermiques les plus élevées possible.

Dans le cadre du projet ASTRID SYRCAPE (SYstèmes de Refroidissement fluidiques intégrés sur CARte assistés par Pompage Electro-hydro-dynamique), un système de refroidissement robuste totalement inédit est conçu, réalisé et testé. La majeure partie du circuit fluidique (zone d'échange adiabatique, évaporateur et condenseur) est directement réalisée dans l'épaisseur du circuit imprimé sans augmentation notable de celle-ci. La circulation du fluide est quant à elle réalisée via une pompe MEMS Electro-Hydro-Dynamique (EHD) prenant la forme d'un module rapportée à sa surface. Le pompage est électrique, plutôt que capillaire, et ne sera pas limité par l'accélération. Les acteurs de ce projet sont le C2N, EGIDE et MBDA. L'ASTRID d'une durée de 30 mois est financé par l'AID.

Diffuseur thermique en Graphite pour composant de puissance intégré dans circuit imprimé

Ahmed Sabry Ahmed ^{1,2}, Rémi Perrin¹, Jacques Jay¹, Cyril Buttay²

ahmed-sabry-eltaher.ahmed@insa-lyon.fr

¹ Mitsubishi, Rennes, ² Ampère, Lyon

Embedding of power semiconductor devices within a printed circuit board stack is a promising solution to reduce circuit parasitics, simplify device packaging, and produce more compact systems. However, the reduction in chip size enabled by wide-bandgap semiconductors, together with the poor thermal conductivity of the insulating layers of PCBs make it difficult to keep the chip temperature within an acceptable limit.

In this presentation, we introduce a graphite heat spreader designed to be compatible with PCB technology. Thin, flexible sheets of graphites are integrated in the PCB as part of the lamination process; laser drilled, copper microvias are then formed through the graphite to improve through-plane conductivity.

The presentation first addresses the optimization of the structure, using parametric finite element simulations, and considering the limitations of the PCB technology (dimensions and spacing of the vias, layer thicknesses, etc.). A reduction of up to 59% in thermal resistance is expected for a PCB integrating 2 graphite layers as compared to the standard configuration.

In the second part of the presentation, PCB samples made by an industrial partners are introduced. They include embedded silicon carbide power devices and graphite layers. Their structure is described, together with their manufacturing principle. The thermal resistance of the samples (with and without graphite) is characterized and compared with simulation predictions.

Contrôle de l'intensité du champ électrique par des matériaux fonctionnalisés

Lionel Laudebat lionel.laudebat@laplace.univ-tlse.fr

Laplace, Toulouse

Dans le contexte du packaging des dispositifs électroniques de puissance haute tension ou à forte densité volumique, les matériaux isolants sont exposés à différentes contraintes fortes qui peuvent prendre l'aspect d'injection de charges, d'accumulation de charges d'espace, de décharges partielles et d'arborescence électrique dans le matériau pouvant provoquer la rupture de ce dernier. Il est donc de plus en plus nécessaire de contrôler l'intensité du champ électrique pour éviter les phénomènes qui engendrent un vieillissement prématuré de l'isolant. Les champs électriques intenses se développent dans des zones spécifiques comme les points triples ou les angles vifs. L'objectif est alors d'atténuer ce renforcement local du champ électrique due à la géométrie du système électrique, pour que sa répartition soit la plus uniforme possible pour une tension appliquée au système donnée. Nous proposons de présenter diverses solutions « matériaux » comme celles à base de composites à propriétés non linéaires qui sont une alternative intéressante pour contrôler l'intensité du champ électrique dans ces zones. De plus, pour la conception du système d'isolation d'un module de puissance, il est important de pouvoir modéliser les propriétés de ces matériaux afin de simuler le comportement électrique dans les conditions spécifiques des signaux d'excitation de l'électronique de puissance et les contraintes associées. Des outils adaptés à cette prise en compte seront présentés.

Matériaux fonctionnalisés pour la récolte d'énergie et pour cartographie des émissions RF

Sidina Wane sidina.wane@ev-technologies.com

EV-Technologies, Caen

Functionalized Material Coating for ASIC Applications

Scope & Technology Solution

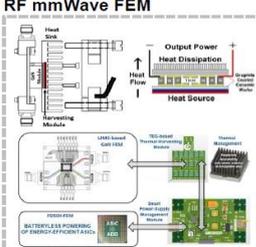
We introduce industrialized packaging materials for RF/mmWave and ASIC/DSP suitable for functionalized coating. The proposed solution is applied to the following usecase carriers:

- **mmWaves Front-End-Module**: GaN-based Technology
- **Base-Band ASIC-DSP**: FDSOI-based Technology

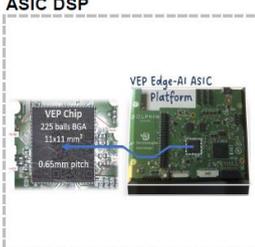
Two practical demonstrators are built and experimentally qualified:

1. Thermal-Harvesting of GaN Front-End-Module for Batteryless powering of BLE applications.
2. Micronic Thermal Imaging for Chip-Package-PCB-Antenna Co-Design and Characterization.

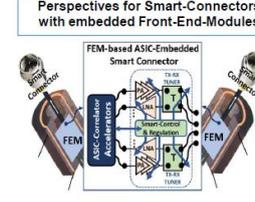
RF mmWave FEM



ASIC DSP



Perspectives for Smart-Connectors with embedded Front-End-Modules



Energy-Harvesting Module



Perspectives are drawn for functionalized « Smart-Connectors ».

Draft-Proposal for Review and Alignment with Wilson Maia

1

Développement d'un dispositif de sécurité auto-destructible très rapide à base de nanothermites déposées par 3D printing

Florent Sevely, Tao Wu, Felipe Sodre Ferreira de Sousa, Lionel Seguier, Vincent Brossa, Fabien Mesnilgrete, Carole Rossi fsevely@laas.fr

LAAS-CNRS, Toulouse

La sécurité est devenue un élément essentiel des systèmes électroniques utilisés dans le stockage de données personnelles, bancaires ou dans des équipements critiques tels que les systèmes militaires ou les infrastructures énergétiques. En effet, les systèmes électroniques manipulent de plus en plus des données sensibles dans des environnements non contrôlés et peuvent être confrontés à des problèmes de piratage. Plusieurs technologies électroniques anti-effraction et anti-rétro-ingénierie existent. Les plus simples sont basées sur des clés cryptographiques ou logicielles, des fusibles de sécurité pour empêcher les accès non autorisés. Sont explorées aussi des composants à clef d'identification (ID) ou fonctions non-clonables (PUF), le camouflage des topologies ou, le renforcement du packaging [8] pour éviter la pénétration physique.

La mise en place de ces protections impose des contraintes lors de la conception du système, et est souvent accompagnée d'une augmentation de son coût, de sa taille et parfois affecte ses performances fonctionnelles. De plus, elles ne sont nullement efficaces contre le reverse engineering puisque l'attaquant peut identifier la structure du composant par imagerie optique, électronique ou rayon-X.

Nous avons développé un nouveau stérilisateur de données miniature, hautement réactif (destruction physique des données en moins de 1 ms), sûr (pas de matériau énergétique sensible tel qu'un explosif), qui agit comme un module complémentaire à placer sur le composant électronique ou la mémoire à protéger. Ce stérilisateur aussi appelé dispositif de sécurité ultime (USD) est actionné par un pyroMEMS pour désintégrer mécaniquement un composant contenant des données sensibles en moins de 100 μ s après détection de l'intrusion. Son actionnement est basé sur l'utilisation d'un matériau à base de nanothermite Al/CuO déposée par 3D printing. Après une présentation des solutions de protection équivalentes de la littérature, nous présenterons le dispositif USD développé ainsi que ses caractéristiques fonctionnelles.

IEEE EPS France

Journée Technique : Solutions Innovantes pour le Packaging Electronique
Palaiseau (Thales R&T France) – 6 décembre 2022

Caractérisation de la diffusion d'humidité dans les résines d'encapsulation pour l'étude hygromécanique de boîtiers plastiques

Ariane Tomas^{1,2}, Hélène Frémont¹, Nathalie Malbert¹, Benoît Lambert²

ariane.tomas@ums-rf.com

¹IMS Bordeaux, ²UMS, Villebon

Moisture absorption in a plastic package may be critical for the component reliability. Moisture diffusion in the Epoxy Mold Compound (EMC) induces expansion of the plastic, generating stress at interfaces with hermetical material. It also weakens the interfaces by reducing the adhesion between materials. The popcorning risk is always present as well as corrosion or dendrites growth when the moisture reaches the die and its metallic elements.

The hygromechanical risk assessment begins by characterising the diffusion parameters of the water in the EMC in order to model the moisture diffusion and the Coefficient of Moisture Expansion, (CME). These properties are rarely provided by the supplier and vary depending on the compound used. Their characterisation is essential.

The Fick diffusion model is commonly used to describe moisture absorption. We study three distinct EMCs coming in different forms: two used in QFN packaging in the shape of a uncut wafer composed of leadframe and resin and of single QFNs ; and a resin used in FOWLP in a bulk form. In the case of these EMCs, the moisture diffusion can be modelled by the summation of two Fickian behaviours. By gravimetric analysis, the coefficients and the saturated concentrations were characterised. The test conditions were chosen to replicate a reliability tests with 85°C/85%RH for a period of 1000hr. The same analysis is performed for the desorption process at 85°C and 125°C. We found that there is permanent moisture trapped in the resin even after extensive drying. More tests are currently underway with varying temperature conditions to establish the relation between the temperature and the diffusion parameters.

The experimentally established model feeds ANSYS Mechanical to simulate the diffusion phenomenon. With the CME, the hygromechanical behaviour of the packages can be modelled to conclude on the generated stresses and the influence on the component reliability.

Anisotropie du comportement mécanique de l'alliage d'étain SAC305 à haute température homologue : caractérisation et modélisation

Alexandre Bleuset¹, Cleverson Souza Chaves² et Éric Charkaluk¹ alexandre.bleuset@polytechnique.edu

¹Laboratoire de Mécanique des Solides, Ecole polytechnique, Institut polytechnique de Paris, CNRS, Palaiseau, France, ²Etudes et Productions Schlumberger, Clamart, France

Le comportement mécanique de l'alliage d'étain SAC305 a fait l'objet de nombreuses publications depuis la démocratisation de cette brasure suite aux mesures visant à éliminer le plomb des équipements électroniques. Une grande partie de ces études sont réalisées à même des assemblages électroniques ou sur des éprouvettes d'essais massives impropres à retranscrire le comportement très anisotrope connu de cette brasure. Depuis peu, certains chercheurs se sont intéressés aux effets microstructuraux tels que l'orientation des dendrites ou bien la taille des intermétalliques mais ces travaux restent rares et limités à certaines orientations cristallines. L'objectif de notre présentation est de donner un aperçu plus général de l'anisotropie mécanique de la brasure SAC305, à une échelle similaire à son application industrielle (à l'échelle d'une bille de brasure dans le cas des BGAs) et à des températures extrêmes (125 °C et 185 °C).

Pour réaliser nos échantillons, nous avons adapté un profil thermique type d'un four de refusion à une éprouvette de traction à zone utile millimétrique. Ce procédé génère des microstructures comparables à celles observées sur des billes de brasure en particulier pour le caractère monocristallin. En premier lieu des essais de fluage à 185 °C ont été réalisés. Les durées de vie s'étalent sur 3 ordres de grandeurs et l'activité plastique est attribuée aux systèmes de plan de glissement {110}. Ensuite, des essais cycliques à 25 °C, 125 °C et 185 °C pour des orientations cristallines choisies ont montré la dépendance de l'écroutissage aux conditions expérimentales et à la microstructure de l'échantillon. A haute température le comportement mécanique s'approche de la plasticité parfaite. Pour finir, un modèle de plasticité cristalline est présenté et son implémentation pour la simulation d'assemblages est discutée.

Billes multi-matériaux pour l'assemblage de composants électroniques haut gamme

Irati Malkorra¹, Christophe Guérin², Sergio Sao-Joao¹, Damien Chalavoux²

irati.malkorra@emse.fr, christophe.guerin@fr.thalesgroup.com

¹Ecole de Mines de Saint-Etienne, ²Thales, Valence

Le projet SUPERBALL (R&T Booster Région Auvergne Rhone Alpes) vise à mettre au point et produire des micro-billes multi-matériaux innovantes (appelées PCSB pour « plastic core solder ball »), qui sont utilisées pour réaliser des interconnexions entre des composants électroniques sensibles aux contraintes mécaniques. Ces composants électroniques haut de gamme utilisent des billes spécifiques qui sont brasées pour créer l'interface entre un boîtier à matrice de billes (BGA/CBGA) et un circuit imprimé

Les directives européennes WEEE (Waste Electrical and Electronic Equipment) et ROHS (Restriction of Hazardous Materials) ont pour objectif principal de bannir toutes les substances considérées comme dangereuses, particulièrement les métaux lourds comme le Plomb dans les équipements électriques et électroniques. La législation impose à terme la suppression du Plomb. A ce jour, les billes utilisées pour assurer la maîtrise dimensionnelle et le découplage thermomécanique sont principalement en Plomb/Etain. La présence de plomb dans l'alliage (90%) et sa future interdiction d'utilisation pousse à trouver des solutions pérennes et fonctionnelles.

Le projet vise à développer et produire un nouveau type de bille de soudure multimatériaux non fusible, destiné à l'assemblage de composants électroniques de haute fiabilité pouvant évoluer dans des conditions sévères d'utilisation. Ces billes sont composées d'un cœur en matériau organique revêtu de différentes couches de métallisations (Cu, Ni, Au...). D'un point de vue scientifique, les objectifs concernent la maîtrise des paramètres de fabrication des billes et la caractérisation de leurs performances au travers d'analyses et de simulations. Au niveau technologique les objectifs sont de définir les exigences techniques du produit, et de mettre en place les outils de fabrication et de contrôles adéquates. Les objectifs économiques ont pour ambition la création d'une filière française de production des billes et la dynamisation du secteur de l'électronique dans la région AURA en proposant un produit innovant et de haute technicité.

Enfin, ce projet est en parfaite cohérence avec les domaines d'excellences de la région AURA en faisant intervenir des compétences pluridisciplinaires comme le traitement de surface, l'électronique et l'aéronautique civile et militaire.

Introduction à l'éco-conception et les enjeux de l'économie circulaire et de la soutenabilité en électronique de puissance

Jean-Christophe CREBIER¹ et Maud RIO²

¹Univ. Grenoble Alpes, CNRS, Grenoble INP, G2Elab 38000 Grenoble, France

²Univ. Grenoble Alpes, Grenoble INP, GSCOP 38000 Grenoble, France

Les convertisseurs d'électronique de puissance sont des éléments clés de la transition énergétique. Ils permettent d'adapter la diversité des sources d'énergie électrique à celle encore plus vaste des charges électriques modernes - des onduleurs PV et moteurs triphasés, aux alimentations et chargeurs de la plupart des équipements électriques en allant jusqu'aux dispositifs de conversion pour les réseaux électriques. Cependant pour tenir ces objectifs de neutralité carbone d'ici 2050 envisagent il est nécessaire de réduire massivement les impacts générés par les composants électroniques mobilisés, à chaque phase de cycle de vie, et notamment dans la gestion de leur fin de vie fonctionnelle. Il s'agit aussi de prendre en compte les ressources naturelles nécessaires à la fabrication des systèmes électroniques, afin de garantir la viabilité de l'approvisionnement nécessaire dans les prochaines années. Face aux processus d'intégration et aux ruptures technologiques avec les composants Grand Gap, la soutenabilité (technique, environnementale et sociale) en électronique de puissance vise à tenir compte des impacts environnementaux générés de l'extraction des ressources nécessaires aux processus de conception de ces composants, jusqu'à leur fin de vie, pour analyser du caractère soutenable ou non, de la technologie à déployer.

L'Analyse du Cycle de Vie (ACV) permet d'évaluer, pour chacune des étapes de la vie d'un convertisseur statique, les divers impacts environnementaux associés, en suivant la norme ISO 14040 : 2006 et en utilisant les logiciels et bases de données à disposition. Selon les caractéristiques du changement d'échelle analysé (maturité TRL, déploiement en production de masse, en vue d'atteindre une quantité d'énergie transmise, ou encore selon des objectifs d'optimisation, ou de respect des limites planétaires, telles que les accords de Paris signés en 2016, cf. [1]) la méthode d'analyse d'impact environnementale à disposition permettra (avec plus ou moins de difficulté) d'identifier les axes prioritaires sur lesquels porter son attention en tant que chercheur ou technologue. Au-delà des pertes à l'usage, qui induisent des impacts importants, au-delà de l'impact

IEEE EPS France

Journée Technique : Solutions Innovantes pour le Packaging Electronique
Palaiseau (Thales R&T France) – 6 décembre 2022

sur la perturbation climatique (estimé en kg CO2eq) de la fabrication à la fin de vie, les convertisseurs statiques induisent un ensemble d'impacts environnementaux, directement ou indirectement. Ainsi, les lieux de fabrication, d'usage et de fin de vie ont des impacts importants en lien avec les mix énergétiques et électriques mis en jeu dans chacune des régions concernées. Également, les choix de conception, de matériaux, de technologies impactent sur l'empreinte environnementale de chaque convertisseur. Appréhender la gestion de la fin de vie pour maximiser la circularité des composants, ou des matériaux constitutifs des dispositifs est essentiel. Le recyclage est une piste sérieuse pour les pièces massives, mais moins évidente pour les composants de microélectroniques où la matière critique est plus dispersée. La réparation, le réemploi et le reconditionnement sont donc des options à privilégier avant le recyclage, pour préserver la valeur fonctionnelle et réduire au maximum l'entropie des dispositifs de conversion et la dissipation de la matière première considérée comme rare (dont les approvisionnements sont et deviennent de plus en plus critiques en Europe, selon les rapports de l'EU sur les matériaux critiques et rares).

La prise en compte des impacts environnementaux dans la conception des convertisseurs statiques n'est pas simple. Les données manquent, les outils et méthodes sont à adapter dans la plupart des cas. Indicateurs de valeur résiduelle, de maintenabilité ou encore de circularité sont à développer [2]. Autant de défis scientifiques et technologiques à relever avec les technologues et experts des technologies en électronique de puissance, sans quoi, la transition énergétique n'aura pas lieu, quelque soient les meilleures technologies développées en TRL 7 dans les laboratoires.

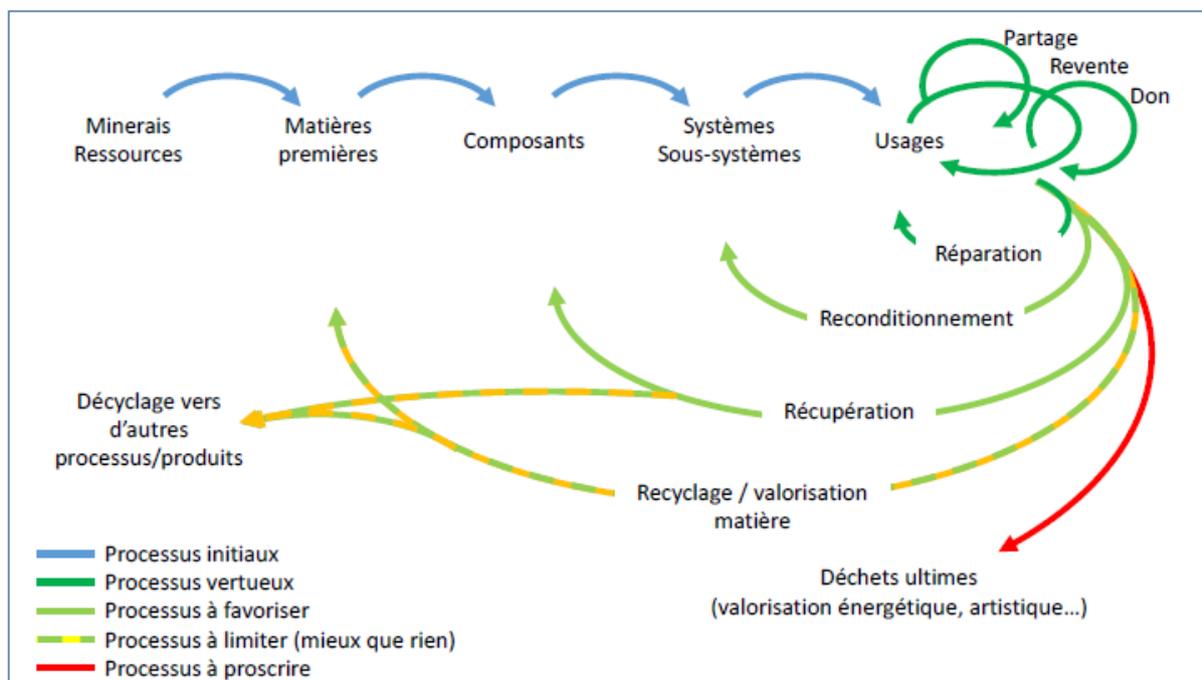


Figure 1: Schématisation des cycles de vie circulaires du plus vertueux au plus délétère.

[1] L. Riondet, M.Rio, V.Perrot-Bernardet, P. Zwolinski, For an upscaling assessment integration in product design, Procedia CIRP, Volume 109, 2022, Pages 89-94, ISSN 2212-8271, <https://doi.org/10.1016/j.procir.2022.05.219>.

[2] B. Rahmani, M. Rio, Y. Lembeye, J.-C. Crebier. Design for Reuse: residual value monitoring of power electronics' components.

Programme et Équipement Prioritaire de Recherche (PEPR) d'accélération Électronique

Hugues Granier (LAAS), Thomas Baron (FEMTO-ST), David Henry (CEA)

Le PEPR électronique s'inscrit dans la stratégie d'accélération en électronique. Cette dernière s'étend des semi-conducteurs aux composants et sous-ensembles qui seront intégrés dans les différents produits des filières applicatives (automobile et transports, télécoms et réseaux, objets connectés, calcul embarqué basse consommation, calcul haute performance, industrie du futur, dispositifs pour la santé ...). Elle intègre les différentes composantes du comité stratégique de filière (CSF) « Industrie Electronique », à savoir les semi-conducteurs, le logiciel embarqué et les cartes électroniques. La stratégie d'accélération en électronique s'attache à répondre à plusieurs grands enjeux :

- Le développement économique, la compétitivité et le positionnement de la France sur les marchés d'avenir,
- La sécurité des approvisionnements et l'autonomie stratégique de la France et de l'UE en composants électroniques qui deviennent incontournables pour la plupart des industries.
- Consolider la position de la France dans la concurrence internationale et lui permettre de prendre part à la valeur ajoutée produite au niveau mondial.

Les activités nationales de recherche amont en électronique sont principalement menées par les laboratoires du réseau Renatech+ (qui sont principalement des UMR CNRS/Universités/Ecole d'ingénieur) qui regroupe les laboratoires du CNRS/Universités mais aussi du CEA. Ce réseau travaille sur des projets de recherche qui s'appuient sur des moyens technologiques de salle blanche représentant 13500 m² de salles blanches.

Les activités de développement et de valorisation sont principalement menées par le CEA-Leti qui dispose d'une infrastructure de salle blanche de 11000 m² à Grenoble. Sur le volet amont, le CEA-Leti a notamment développé la PFNC (Plate-Forme de Nano-Characterisation). Il s'agit d'une infrastructure de nanocaractérisation qui est plus orientée vers la recherche amont et relève pleinement du présent programme.

La Recherche et le Développement sur les composants électroniques conduisent à la réalisation de preuves de concept et de puces très abouties en laboratoire, mais dans de trop rares cas à la réalisation de prototypes déployés dans leur milieu applicatif réel. La prise en compte du packaging est souvent le chaînon manquant entre ces deux étapes. Pourtant c'est le composant packagé, donc utilisable en milieu réel, qui permet de valider le potentiel de commercialisation d'un dispositif. Les laboratoires développent des expertises scientifiques et techniques spécifiques au sein même des grands domaines applicatifs (micro/nano électronique, microsystèmes, optique/photonique, bio systèmes, etc.). Chaque laboratoire investit dans des équipements et développe des procédés et des techniques de packaging spécifiques à ses besoins, avec trop peu de partages et d'interactions sur ces sujets avec le reste de la communauté. Enfin le Packaging est souvent perçu plus comme un problème d'ingénierie que comme une problématique scientifique à part entière.

Ces trois aspects de transversalité du besoin, de partage des compétences, et de la perception d'une problématique plus technique expliquent en partie le manque de visibilité et de coordination des compétences en Packaging au service des développements de R&D. L'action concertée Packaging (AC-PAC) aura la volonté

- De mettre en place la coordination des moyens et compétences dans le double objectif d'optimiser l'usage des ressources humaines, techniques et financières ; et de formaliser l'expression collective des besoins en packaging. Afin d'alimenter une réflexion cohérente et volontaire d'amplification des compétences et des résultats, cette coordination devra perdurer au-delà du PEPR.
- De coordonner des tâches sur des développements
- De lever des verrous technologiques identifiés dans les projets ciblés du PEPR Electronique, ou d'en d'autres PEPRs faisant appel à de la micro-fabrication tels que les PEPR 5G et quantique par exemple
- D'anticiper des besoins émergents tels que le packaging pour l'électronique durable.

La coordination des efforts en packaging est essentielle pour accélérer le passage du composant du monde de la recherche aux applications innovantes. Cette coordination doit pleinement associer les moyens des laboratoires académiques (CNRS, Universités) et ceux des instituts pré-industriels, tel que le CEA LETI.

Ce travail a bénéficié d'une aide de l'État gérée par l'Agence Nationale de la Recherche au titre de France 2030 portant la référence « ANR-22-PEEL-0012 ».

IEEE EPS France

Journée Technique : Solutions Innovantes pour le Packaging Electronique
Palaiseau (Thales R&T France) – 6 décembre 2022



The IEEE Electronics Packaging Society is the leading international forum for scientists and engineers engaged in the research, design and development of revolutionary advances in microsystems packaging and manufacturing.

Chapitre France:

- **Bureau**
Cyril Buttay (INSA Lyon)
Brad Factor (ASE)
Wilson Maia (Thales)
Jean-Charles Souriau (CEA-Leti)
- Réseau de ~ 45 adhérents
- Evènements 2/an



Vélizy-Villacoublay 2018



Grenoble 2019



Grenoble 2022



Contact : jean-charles.souriau@cea.fr

<https://eps.ieee.org/>



Evènements 2023

- Mardi 6 juin 2023 à Grenoble :

Rencontre des acteurs du Packaging du PEPR (Programme et Equipements Prioritaires de Recherche sur l'Electronique)

Evènement organisé en collaboration avec IMAPS France la veille de MINAPAD



- Nous sommes ouverts à vos propositions pour un second évènement

Contact : jean-charles.souriau@cea.fr

<https://eps.ieee.org/>

[Rejoignez-nous pour continuer à faire vivre en France notre communauté autour du packaging](#)

IEEE EPS France

Journée Technique : Solutions Innovantes pour le Packaging Electronique
Palaiseau (Thales R&T France) – 6 décembre 2022